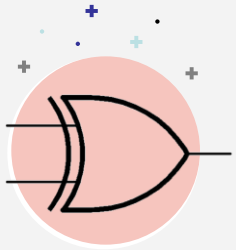
V1 (@2025)



Digital Circuits

Lecture 7:

Introduction to Sequential Circuits

By: M.Razeghizadeh

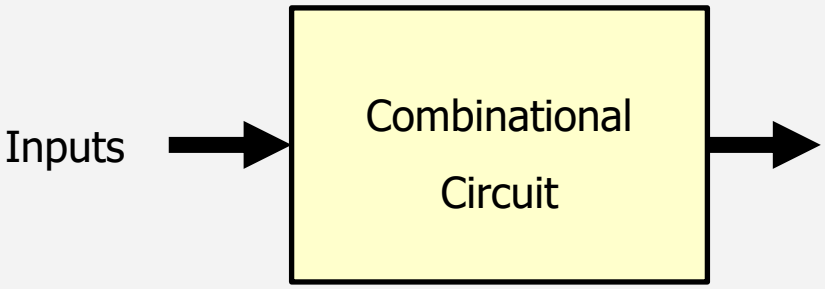
Start now!

Contents of This Slide

- Introduction to Sequential Circuits
- Synchronous versus Asynchronous
- Latches
- Flip-Flops
- Characteristic Tables and Equations

مقایسه مدار ترکیبی و مدار ترتیبی

مدارهای دیجیتال به دو دسته تقسیم می‌شوند:



مدارهای ترکیبی

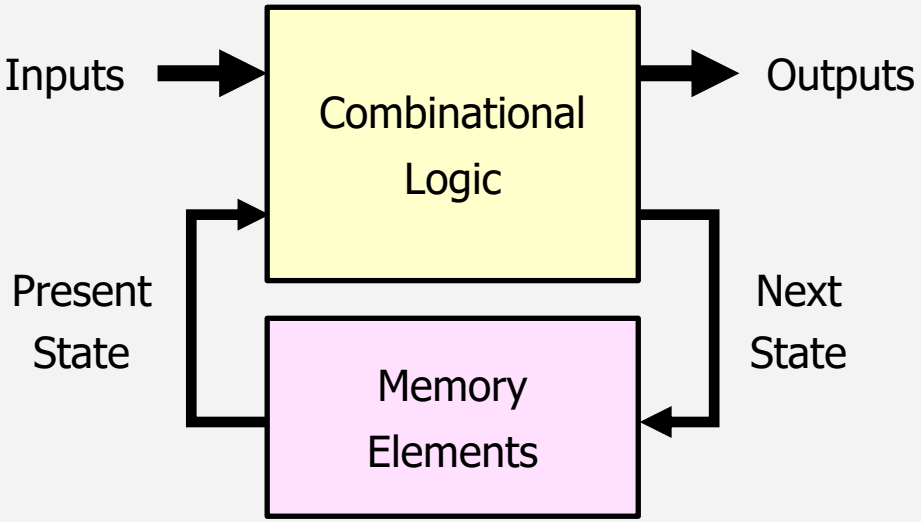
- خروجی‌ها تابعی از ورودی‌ها هستند
- فقط به ورودی‌ها وابسته‌اند
- حافظه داخلی ندارند

مدارهای ترتیبی

- خروجی‌ها تابعی از ورودی‌ها و حافظه داخلی هستند
- یک حافظه داخلی وجود دارد که وضعیت مدار را ذخیره می‌کند
- زمان بسیار مهم است: حافظه با گذر زمان تغییر می‌کند

مقدمه‌ای بر مدارهای ترتیبی

یک مدار ترتیبی شامل موارد زیر است:



عناصر حافظه:

- لچ‌ها یا فلیپ‌فلاپ‌ها
- **وضعیت فعلی** را ذخیره می‌کنند

منطق ترکیبی:

- **خروجی‌های** مدار را محاسبه می‌کند
- خروجی‌ها به ورودی‌ها و وضعیت فعلی بستگی دارند
- **وضعیت بعدی** مدار را محاسبه می‌کند
- وضعیت بعدی نیز به ورودی‌ها و وضعیت فعلی وابسته است

انواع مدارات ترتیبی

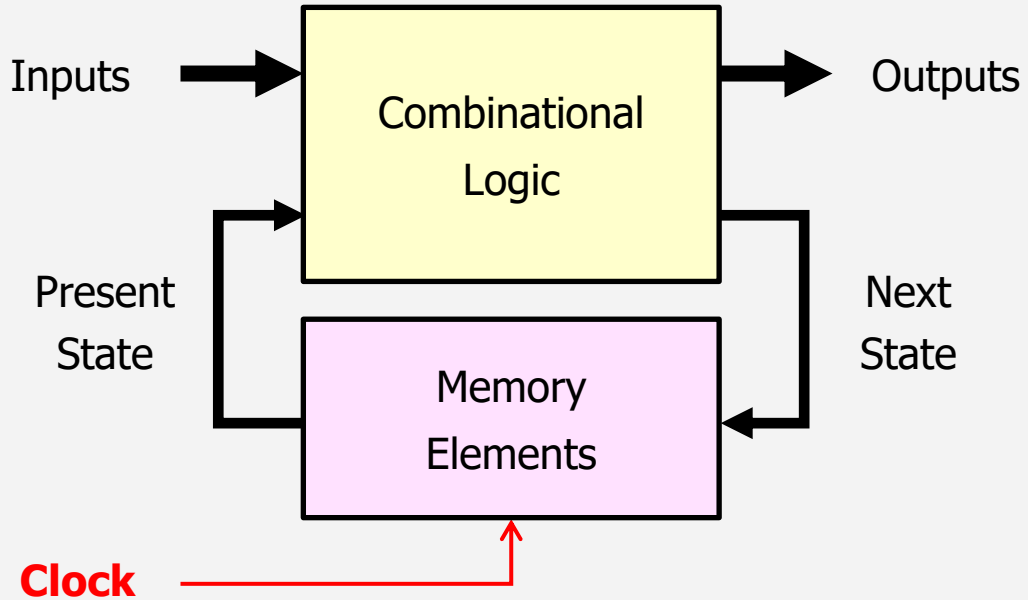
مدار ترتیبی همزمان

- از سیگنال ساعت به‌عنوان یک ورودی اضافی استفاده می‌کند
- تغییرات در عناصر حافظه توسط سیگنال ساعت کنترل می‌شود
- تغییرات فقط در لحظات مشخصی از زمان (لحظه‌های خاص ساعت) اتفاق می‌افتند

مدار ترتیبی غیرهمزمان

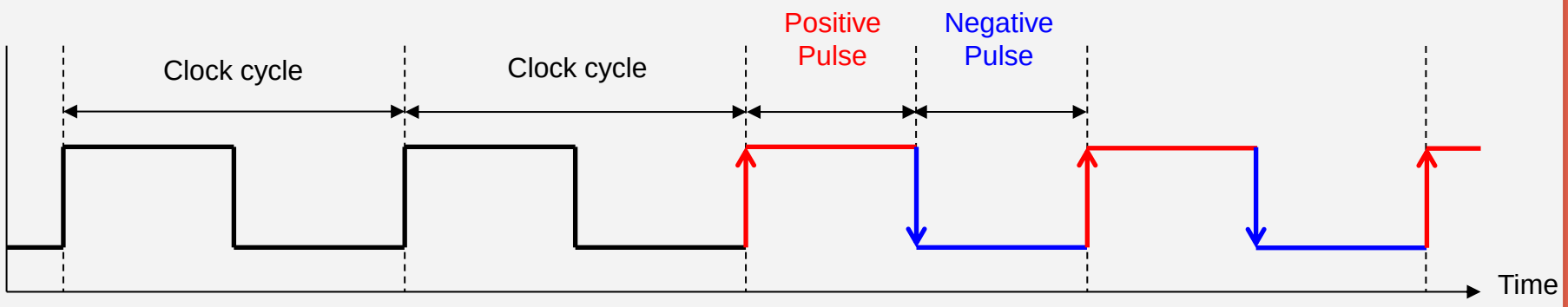
- سیگنال ساعت ندارد
- تغییرات در عناصر حافظه ممکن است در هر لحظه‌ای از زمان رخ دهند
- تمرکز ما روی مدارهای ترتیبی همزمان خواهد بود، چرا که طراحی و تحلیل آن‌ها آسان‌تر از مدارهای ترتیبی غیرهمزمان است.

مدارهای ترتیبی همزمان



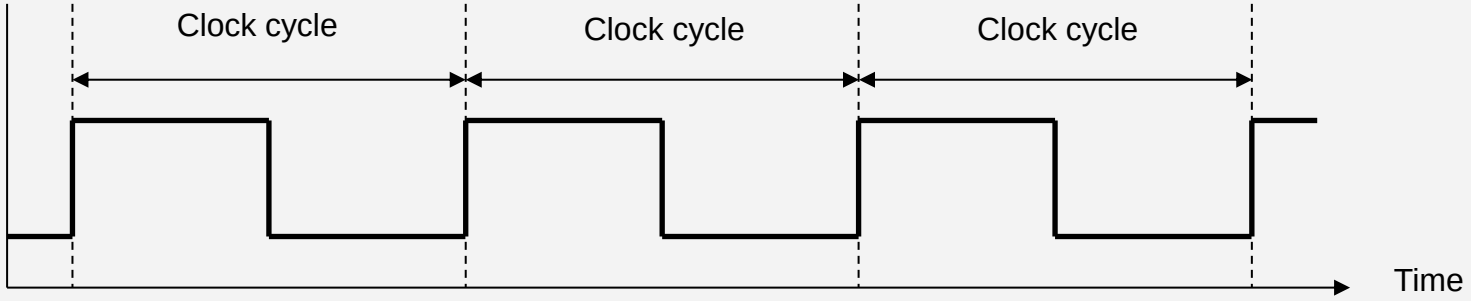
- مدارهای ترتیبی همزمان از یک سیگنال ساعت استفاده می‌کنند.
- سیگنال ساعت به‌عنوان ورودی به عناصر حافظه داده می‌شود.
- سیگنال ساعت مشخص می‌کند که چه زمانی حافظه باید به‌روزرسانی شود.
- **وضعیت فعلی** = مقدار خروجی حافظه (وضعیتی که ذخیره شده است)
- **وضعیت بعدی** = مقدار ورودی به حافظه (هنوز ذخیره نشده است)

سیگنال ساعت (Clock)



- سیگنال ساعت یک سیگنال تناوبی است که به صورت مجموعه‌ای از پالس‌ها (۰ و ۱) ظاهر می‌شود.
- چرخه ساعت به طور مداوم و بی‌نهایت در طول زمان تکرار می‌شود.
- **پالس مثبت:** زمانی که سطح ساعت برابر با ۱ باشد.
- **پالس منفی:** زمانی که سطح ساعت برابر با ۰ باشد.
- **لبه بالا رونده:** زمانی که سیگنال ساعت از ۰ به ۱ تغییر می‌کند.
- **لبه پایین رونده:** زمانی که سیگنال ساعت از ۱ به ۰ تغییر می‌کند.

مقایسه چرخه ساعت با فرکانس ساعت



- چرخه ساعت (یا دوره) مدت زمان یک چرخه است.
  - ✓ واحد آن ثانیه، میلی‌ثانیه، میکروثانیه، نانوثانیه یا پیکوثانیه است.
- فرکانس ساعت معادل تعداد چرخه‌ها در هر ثانیه (هرتز) است.
- فرکانس ساعت برابر است با معکوس چرخه ساعت:
  - ✓ فرکانس ساعت = ۱ / چرخه ساعت
- مثال: اگر چرخه ساعت برابر با 0.5 نانوثانیه = 0.5×10^{-9} ثانیه باشد، آنگاه فرکانس ساعت برابر است با:

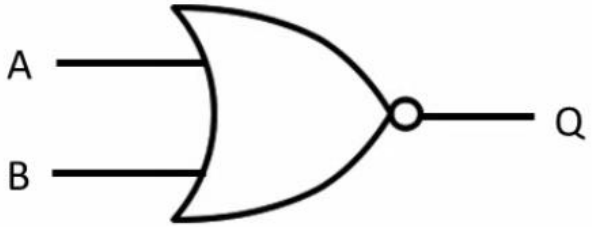
فرکانس ساعت = $1/(0.5 \times 10^{-9}) = 2 \times 10^{9}\ Hz = 2\ GHz$

عناصر حافظه

- حافظه می‌تواند وضعیت دودویی (۰ یا ۱) را ذخیره و نگهداری کند.
  - ✓ تا زمانی که توسط یک سیگنال ورودی دستور تغییر وضعیت دریافت کند.
- تفاوت اصلی بین عناصر حافظه در:
  - ✓ تعداد ورودی‌های آن‌ها
  - ✓ نحوه تأثیر ورودی‌ها بر وضعیت دودویی
- دو نوع اصلی وجود دارد:
  - ✓ **لچ‌ها** که به سطح سیگنال ساعت حساس هستند. (Level-sensitive)
  - ✓ **فلیپ‌فلاپ‌ها** که به لبه سیگنال ساعت حساس هستند. (Edge-sensitive)
- فلیپ‌فلاپ‌ها در مدارهای ترتیبی همزمان استفاده می‌شوند.
- فلیپ‌فلاپ‌ها با استفاده از لچ‌ها ساخته می‌شوند.

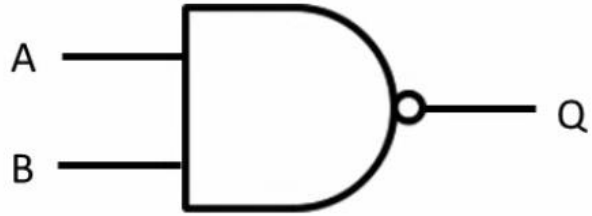
یادآوری

NOR



A	B	Q
0	0	1
0	1	0
1	0	0
1	1	0

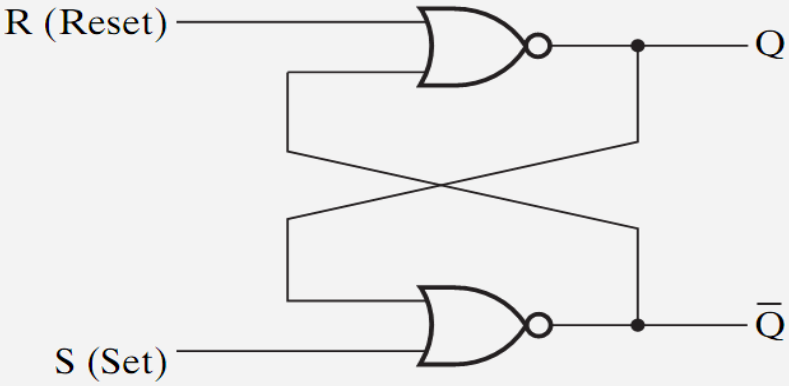
NAND



A	B	Q
0	0	1
0	1	1
1	0	1
1	1	0

SR Latch

- لچ یک عنصر حافظه است که می‌تواند مقدار ۰ یا ۱ را ذخیره کند.
- یک لچ SR را می‌توان با استفاده از دو گیت NOR متقاطع ساخت.
- این لچ دو ورودی دارد: S (ست) و R (ریست)
- این لچ دو خروجی: Q و Q′



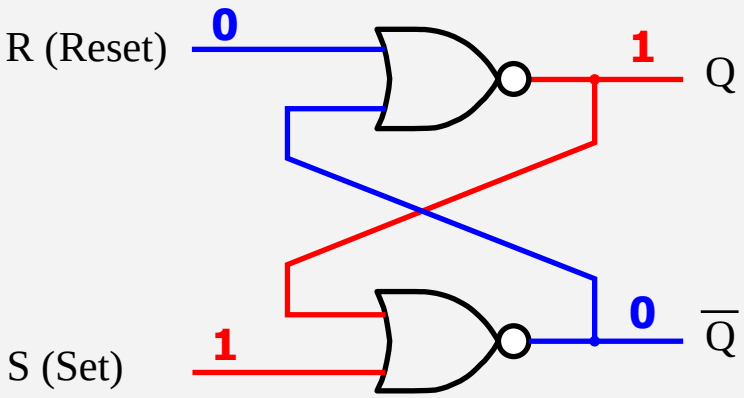
(a) Logic diagram

S	R	Q	$\overline{Q}$	
1	0	1	0	Set state
0	0	1	0	
0	1	0	1	Reset state
0	0	0	1	
1	1	0	0	Undefined

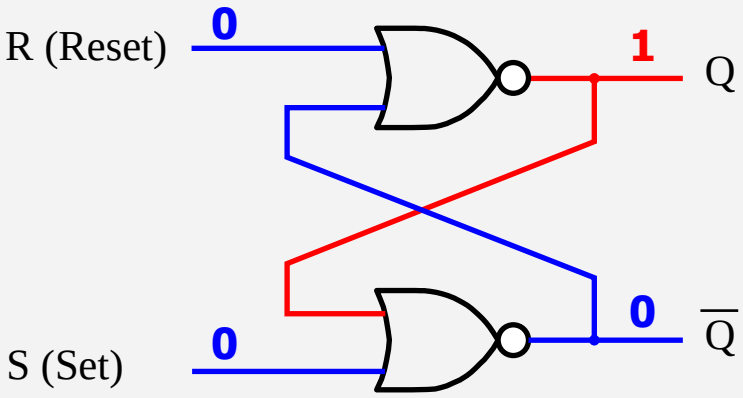
(b) Function table

عملکرد لچ SR

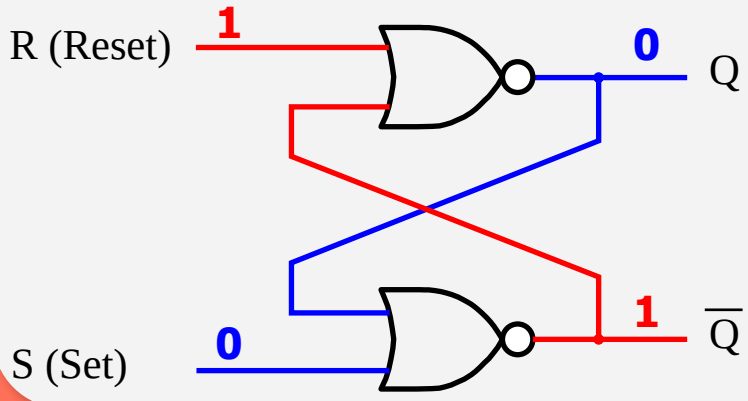
Set Operation



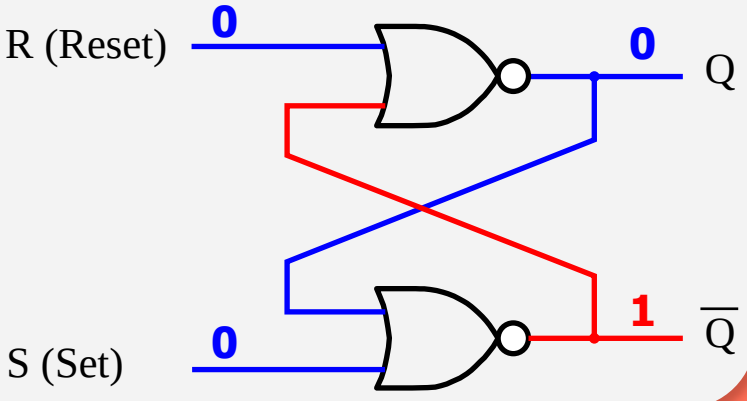
Store Operation



Reset Operation

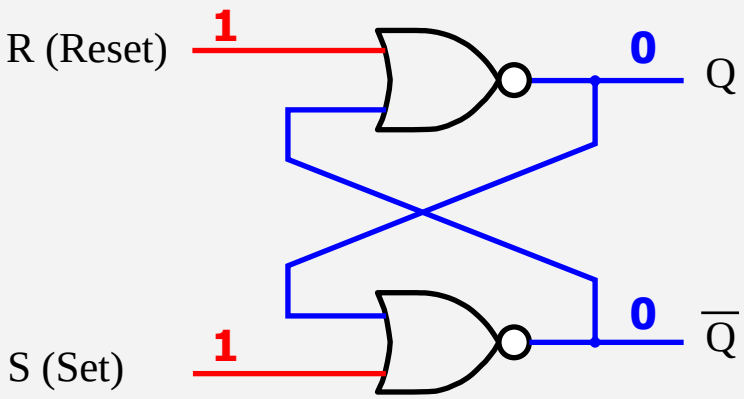


Store Operation

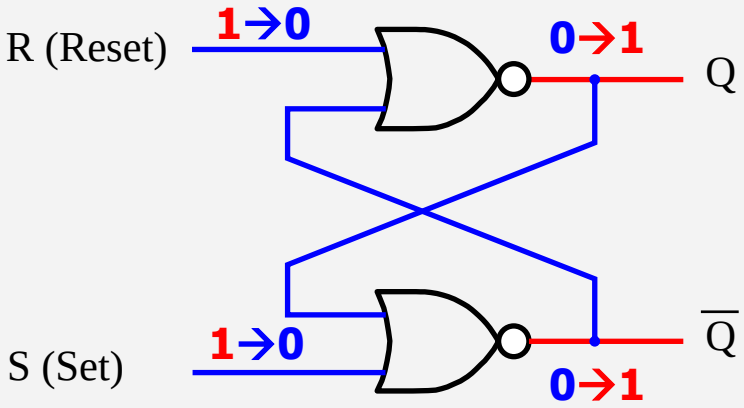


SR Latch Invalid Operation

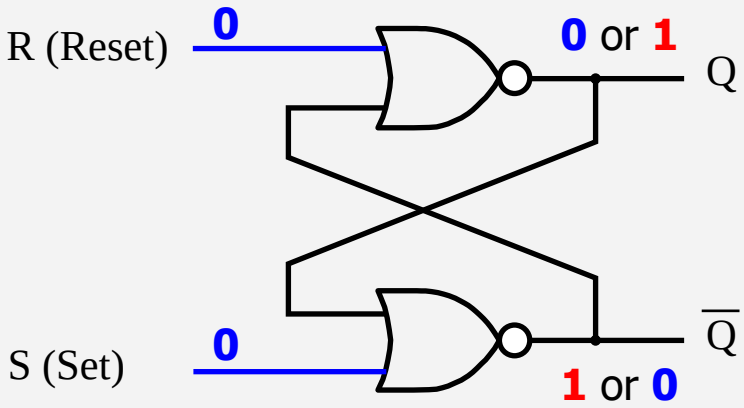
Invalid Operation



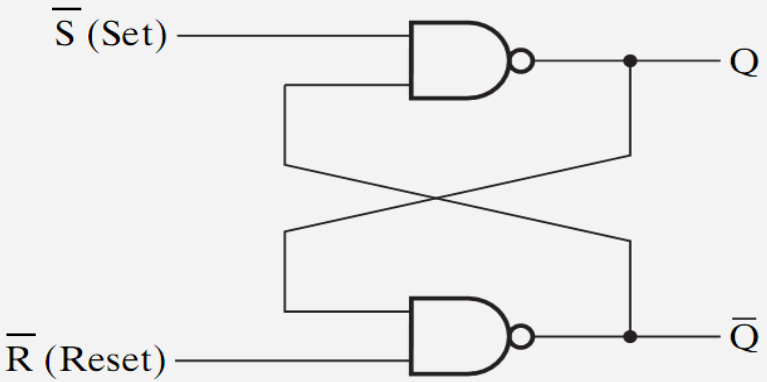
Race Condition



Unknown State



$\overline{S}\,\overline{R}$ Latch with NAND Gates



(a) Logic diagram

$\overline{S}$	$\overline{R}$	Q	$\overline{Q}$	
0	1	1	0	Set state
1	1	1	0	
1	0	0	1	Reset state
1	1	0	1	
0	0	1	1	Undefined

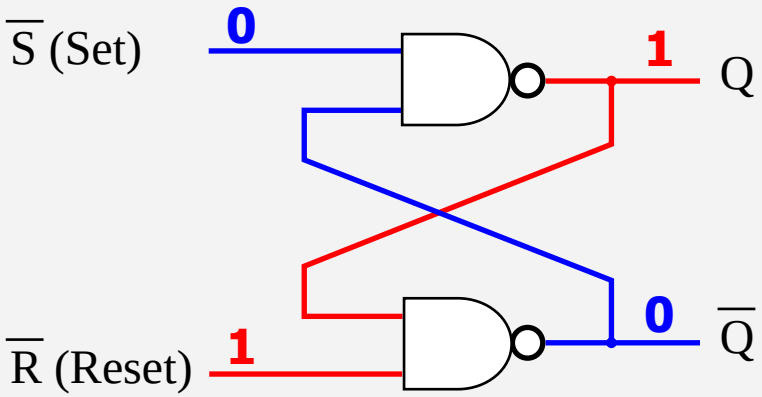
(b) Function table

Known as the $\overline{S}\,\overline{R}$ Latch

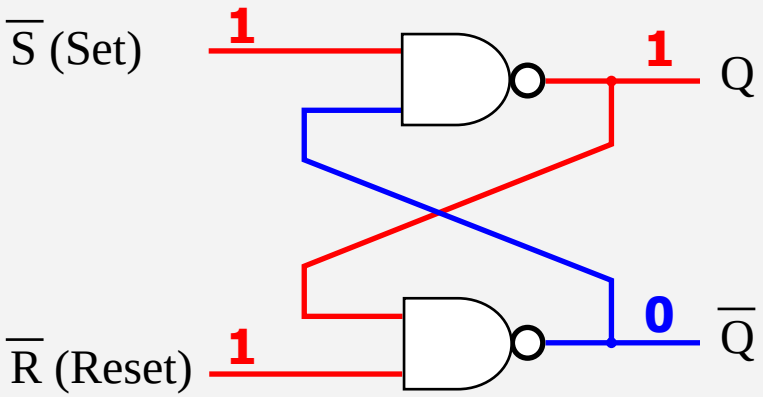
- If $\bar{S} = 0$ and $\bar{R} = 1$ then **Set** ($Q = 1,\ \overline{Q} = 0$)
- If $\bar{S} = 1$ and $\bar{R} = 0$ then **Reset** ($Q = 0,\ \overline{Q} = 1$)
- When $\bar{S} = \bar{R} = 1$, Q and $\overline{Q}$ are unchanged (remain the same)
- The latch stores its outputs Q and $\overline{Q}$ as long as $\bar{S} = \bar{R} = 1$
- When $\bar{S} = \bar{R} = 0$, Q and $\overline{Q}$ are undefined (should never be used)

$\overline{S}\,\overline{R}$ Latch Operation

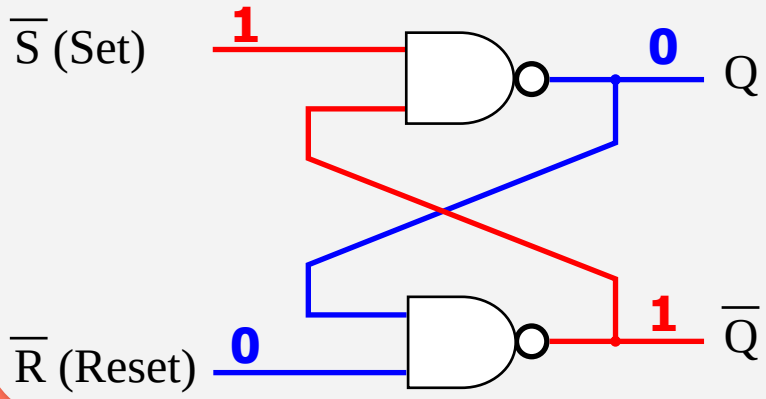
Set Operation



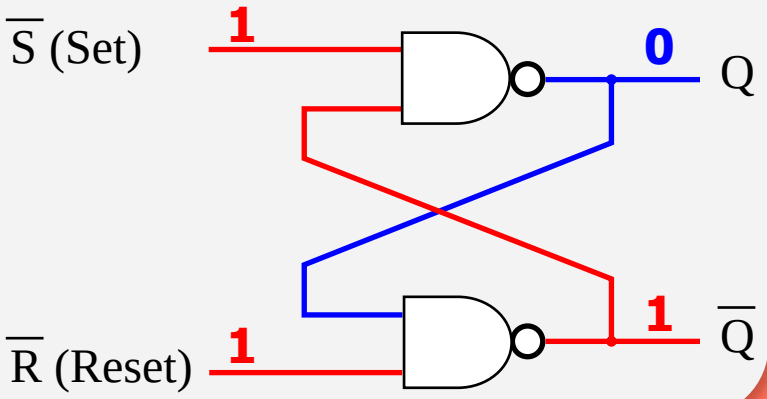
Store Operation



Reset Operation

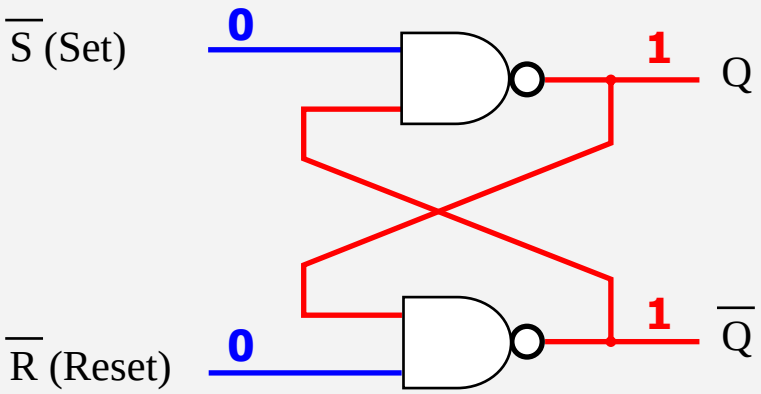


Store Operation

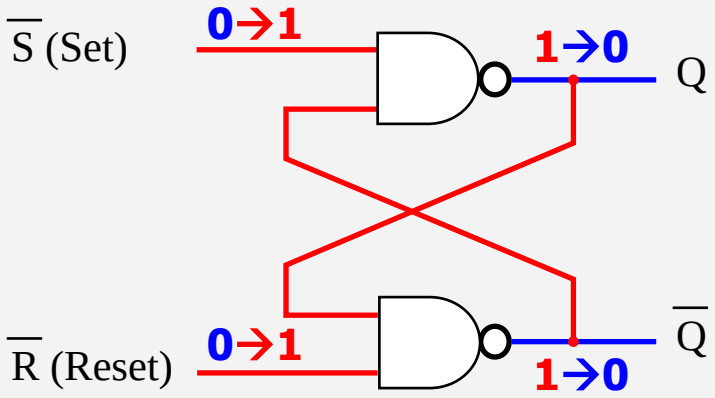


$\overline{S}\,\overline{R}$ Latch Invalid Operation

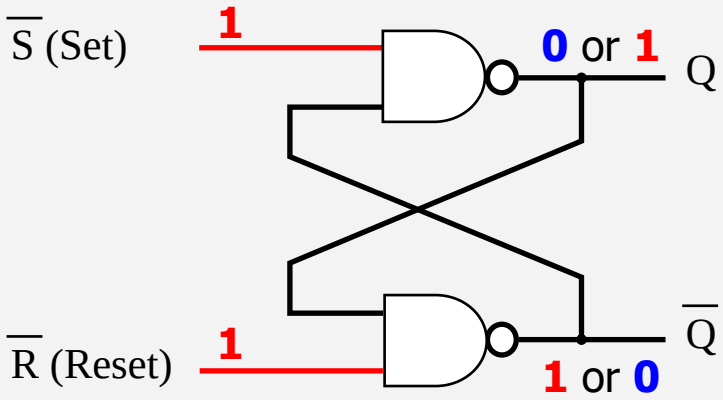
Invalid Operation



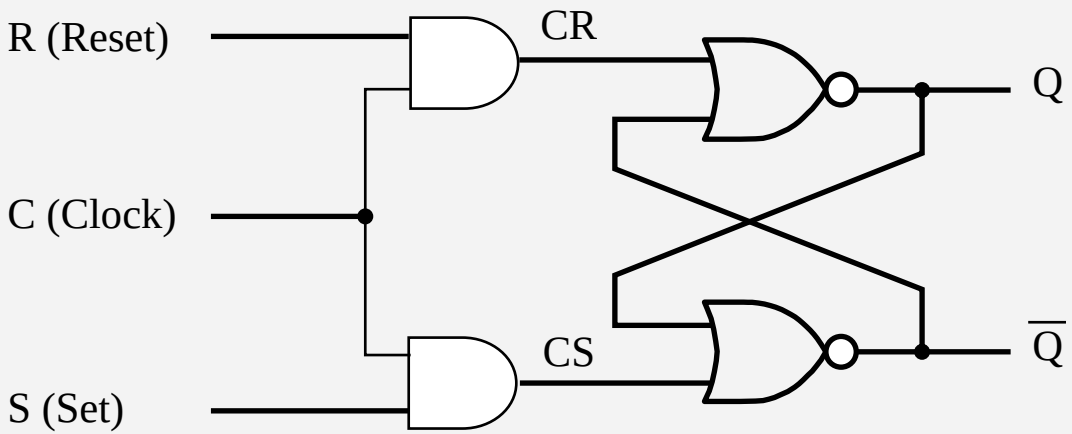
Race Condition



Unknown State



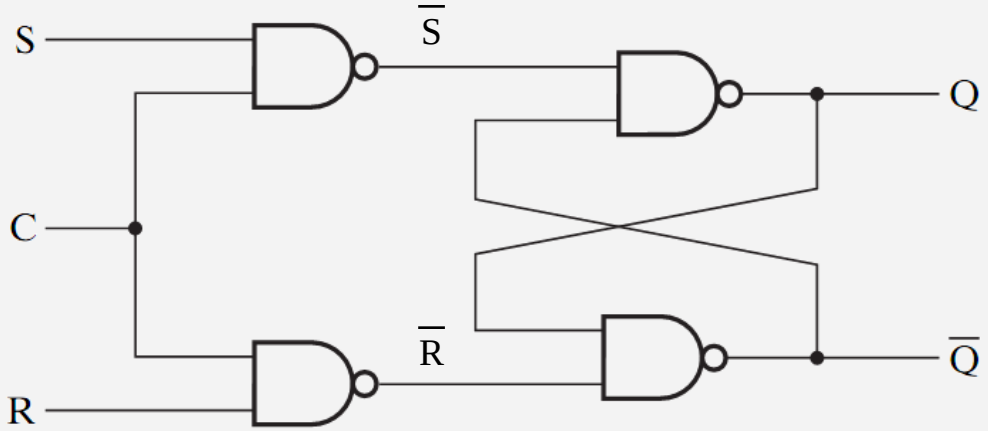
Gated SR Latch with Clock Enable



C	S	R	Next state of Q
0	X	X	No change
1	0	0	No change
1	0	1	Q = 0; Reset state
1	1	0	Q = 1; Set state
1	1	1	Undefined

- یک سیگنال ورودی اضافی به نام ساعت (فعال‌سازی) با نماد C استفاده می‌شود.
- ساعت تعیین می‌کند که چه زمانی وضعیت لچ می‌تواند تغییر کند:
- وقتی **C = 0** باشد، ورودی‌های S و R هیچ تأثیری روی لچ ندارند.
  لچ بدون توجه به مقادیر S و R در همان وضعیت باقی می‌ماند.
- وقتی **C = 1** باشد، عملکرد معمول لچ SR انجام می‌شود.

Gated SR Latch with Clock Enable



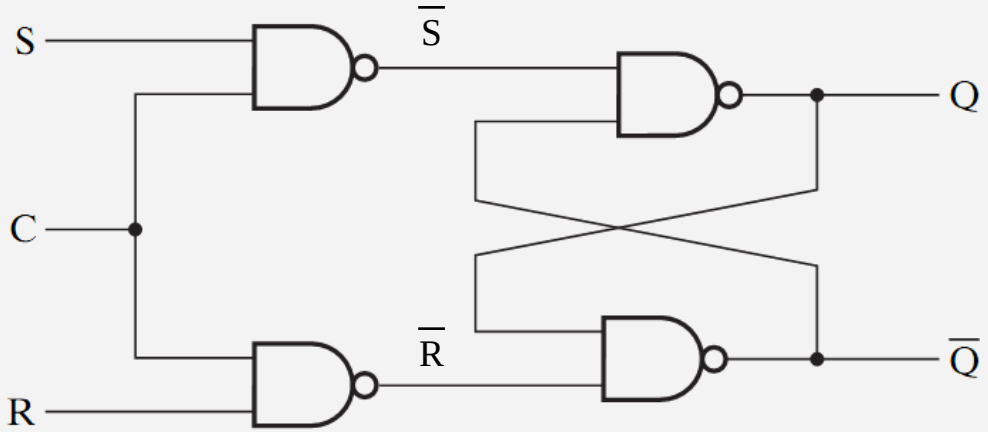
(a) Logic diagram

C	S	R	Next state of Q
0	X	X	No change
1	0	0	No change
1	0	1	Q = 0; Reset state
1	1	0	Q = 1; Set state
1	1	1	Undefined

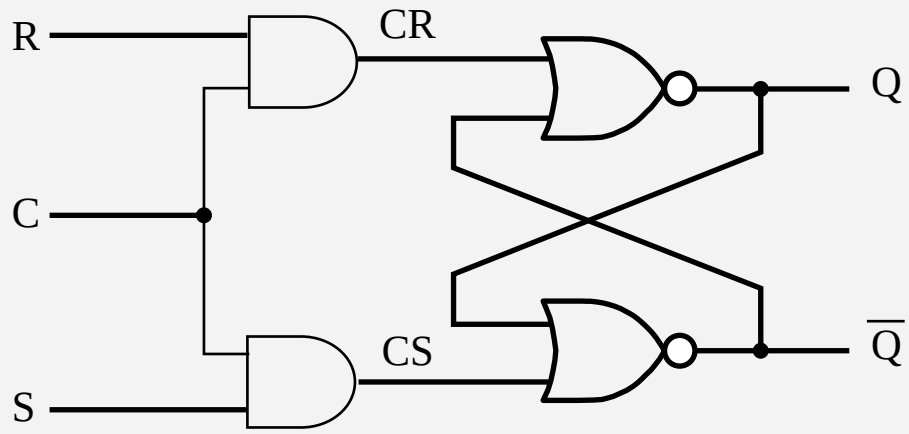
(b) Function table

- یک سیگنال ورودی اضافی به نام ساعت (Clock) یا فعال‌سازی (Enable) با نماد C استفاده می‌شود.
- ساعت تعیین می‌کند که چه زمانی وضعیت لچ می‌تواند تغییر کند:
  - ✓ وقتی C = 0 باشد، لچ در همان وضعیت قبلی باقی می‌ماند.
  - ✓ وقتی C = 1 باشد، عملکرد عادی لچ انجام می‌شود.
  - ✓ گیت‌های NAND ورودی‌های S و R را وقتی C = 1 باشد، معکوس می‌کنند.

Gated SR Latch with Clock Enable



C	S	R	Next state of Q
0	X	X	No change
1	0	0	No change
1	0	1	Q = 0; Reset state
1	1	0	Q = 1; Set state
1	1	1	Undefined



C	S	R	Next state of Q
0	X	X	No change
1	0	0	No change
1	0	1	Q = 0; Reset state
1	1	0	Q = 1; Set state
1	1	1	Undefined

- در مدارهای ترتیبی، در مورد هر لچ یا فلیپ فلاپ (عنصر حافظه) ۵ پارامتر حائز اهمیت می باشد:

۱- جدول صحت (درستی)

۲- معادله حاکم بر فلیپ فلاپ

۳- دیاگرام حالت

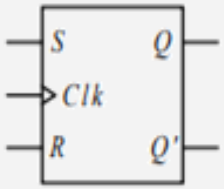
۴- جدول تحریک

۵- مدار داخلی فلیپ فلاپ

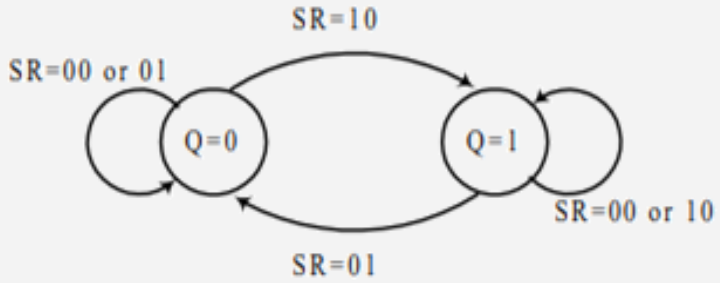
Gated SR Latch with Clock Enable

نام / نماد	جدول صحت	دیاگرام حالت / معادله مشخصه	جدول تحریک

SR

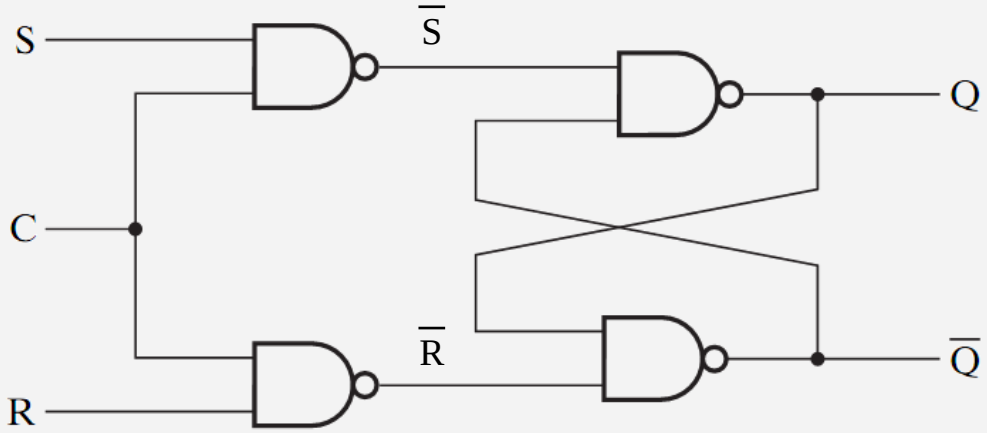


S	R	Q	Qnext
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	×
1	1	1	×

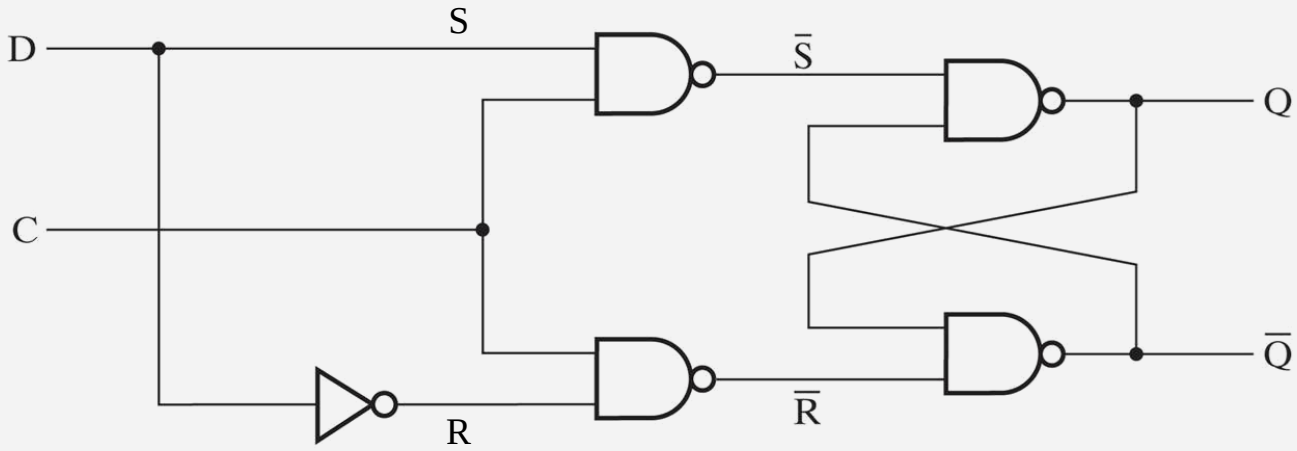


$$Q_{next} = S + R'Q$$
$$SR = 0$$

Q	Qnext	S	R
0	0	0	×
0	1	1	0
1	0	0	1
1	1	×	0



D-Latch with Clock Enable



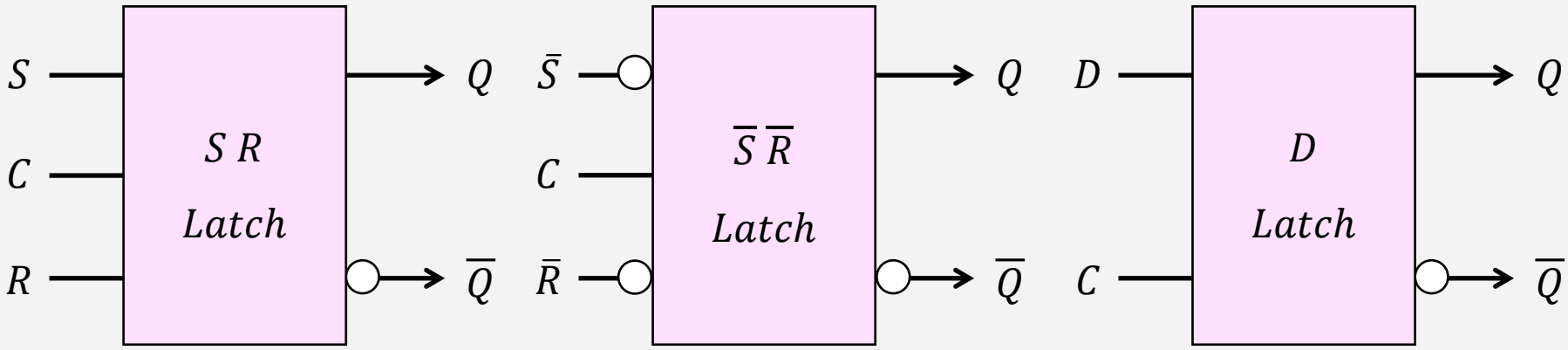
(a) Logic diagram

C	D	Next state of Q
0	X	No change
1	0	Q = 0; Reset state
1	1	Q = 1; Set state

(b) Function table

- One data input D
- $S = D$ and $R = \overline{D}$
- No undefined state
- Inverter can be removed
- When $C = 1$, $R = \bar{S} = \overline{D}$

Graphic Symbols for Latches



- یک دایره (bubble) در خروجی مکمل Q′ ظاهر می‌شود.
- این نشان می‌دهد که Q′ مکمل Q است.
- همچنین یک دایره در ورودی‌های لچ S' R′ نیز دیده می‌شود.

این نشان می‌دهد که برای ست یا ریست کردن لچ از **منطق ۰** استفاده می‌شود (نه منطق ۱)،

(در پیاده‌سازی لچ با گیت‌های NAND انجام می‌شود)

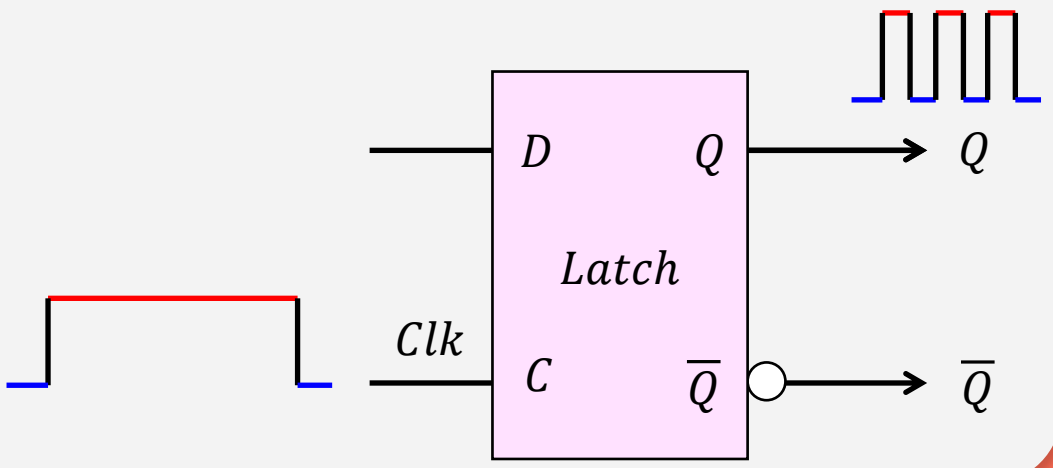
مشکل لچ‌ها: حساسیت به سطح ساعت (Level-Sensitive Latch)

لچ‌های حساس به سطح ساعت تنها زمانی به ورودی‌ها واکنش نشان می‌دهند که سیگنال ساعت در یک سطح مشخص (معمولاً سطح منطقی ۱) قرار داشته باشد. در این حالت، هر تغییری در ورودی **D** بلافاصله در خروجی **Q** منعکس می‌شود. از آنجا که ورودی D ممکن است در طول این بازه زمانی چندین بار تغییر کند، خروجی Q نیز به‌طور مداوم تغییر می‌یابد.

در نتیجه، مقدار نهایی خروجی Q پس از پایان سطح فعال ساعت ممکن است نامشخص یا غیرقابل پیش‌بینی باشد. این ویژگی می‌تواند منجر به بروز رفتارهای ناخواسته در مدارهای ترتیبی شود.

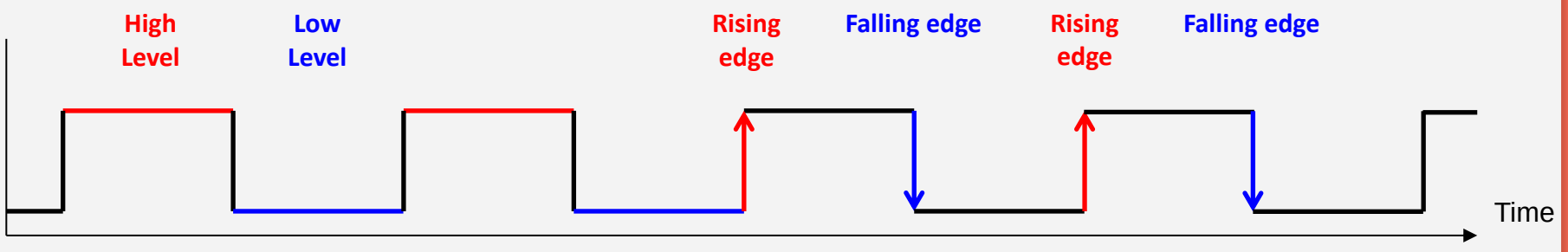
- به همین دلیل، در بسیاری از طراحی‌ها، از **فلیپ‌فلاپ‌های حساس به لبه ساعت** (Edge-Sensitive Latch) به جای لچ‌های حساس به سطح استفاده می‌شود تا ثبات و قابلیت اطمینان عملکرد مدار افزایش یابد.

Due to this uncertainty, latches are NOT used as memory elements in synchronous circuits



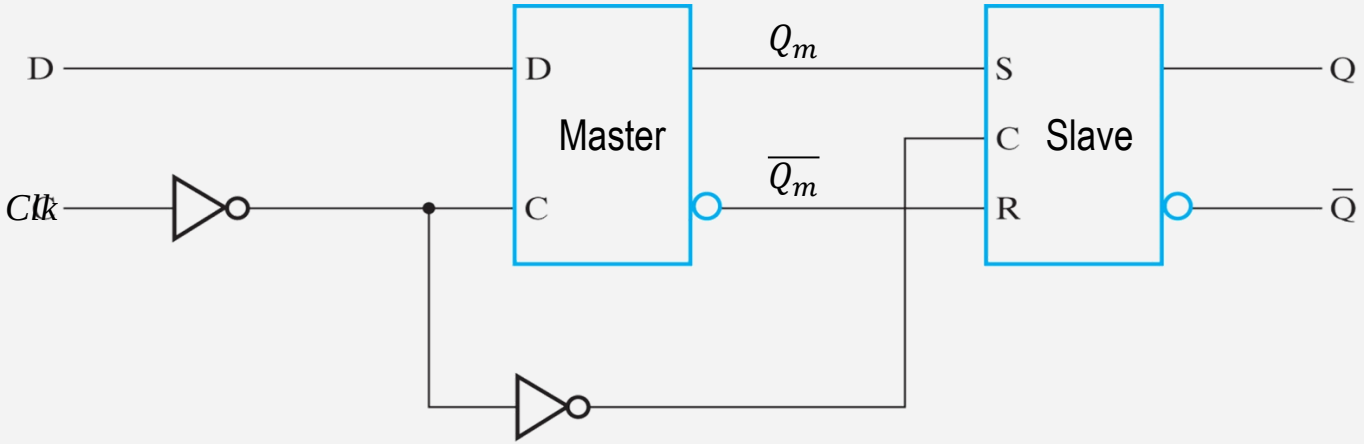
Flip-Flops

- یک فلیپ‌فلاپ، عنصر حافظه‌ای مناسب‌تر برای مدارهای ترتیبی همگام (Synchronous) است.
  این عنصر، مشکلات مربوط به لچ‌ها در مدارهای ترتیبی همگام را برطرف می‌کند.
- در حالی که **لچ** به **سطح سیگنال ساعت** حساس است و ممکن است در طول زمان فعال بودن ساعت چندین بار خروجی آن تغییر کند، **فلیپ‌فلاپ** **تنها به** **لبه سیگنال ساعت** (لبه صعودی یا نزولی) حساس است.
- به همین دلیل، فلیپ‌فلاپ را **عنصر حافظه‌ای لبه‌محور (Edge-Triggered)** می‌نامند.
  این عنصر تنها در لحظه‌ی تغییر لبه‌ی ساعت، خروجی خود را تغییر می‌دهد و در باقی زمان، خروجی ثابت باقی می‌ماند.



Edge-Triggered D Flip-Flop

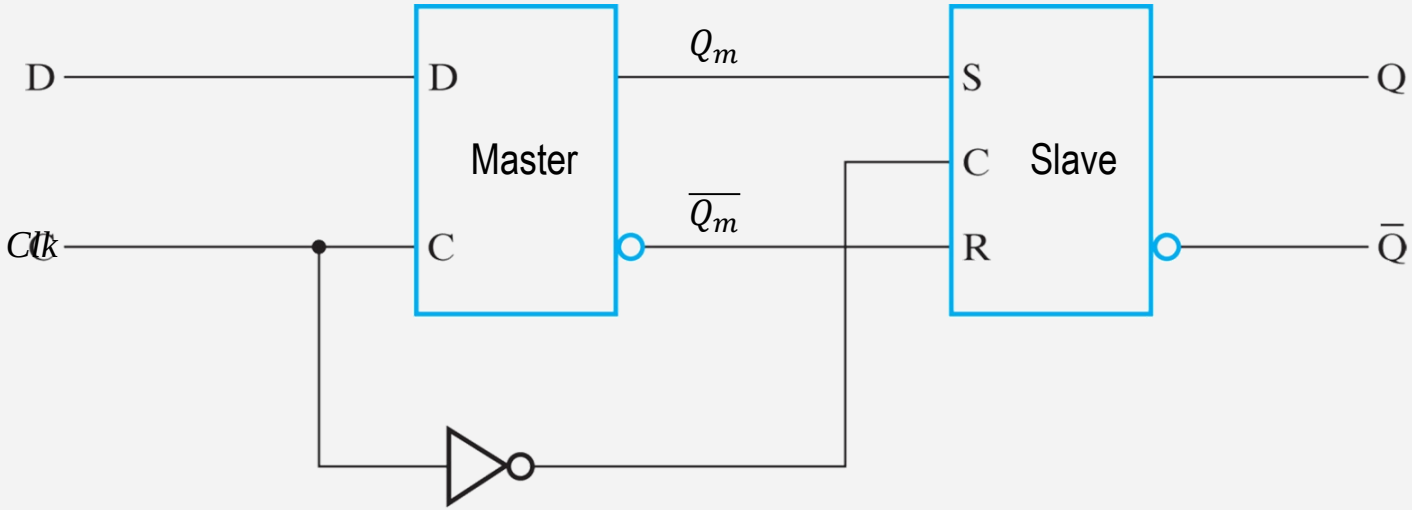
- ساخته‌شده از دو لچ به صورت **مستر-اسلیو** (Master-Slave)
- لچ مستر (نوع D) ورودی‌های خارجی را دریافت می‌کند
- لچ اسلیو (نوع SR) ورودی‌ها را از لچ مستر می‌گیرد
- در هر لحظه فقط یکی از لچ‌ها فعال است
- وقتی **Clk = 0**، لچ مستر فعال و ورودی D ذخیره می‌شود (لچ اسلیو غیرفعال)
- وقتی **Clk = 1**، لچ اسلیو فعال و خروجی تولید می‌کند (لچ مستر غیرفعال)



Outputs change when *Clk* changes **from 0 to 1**

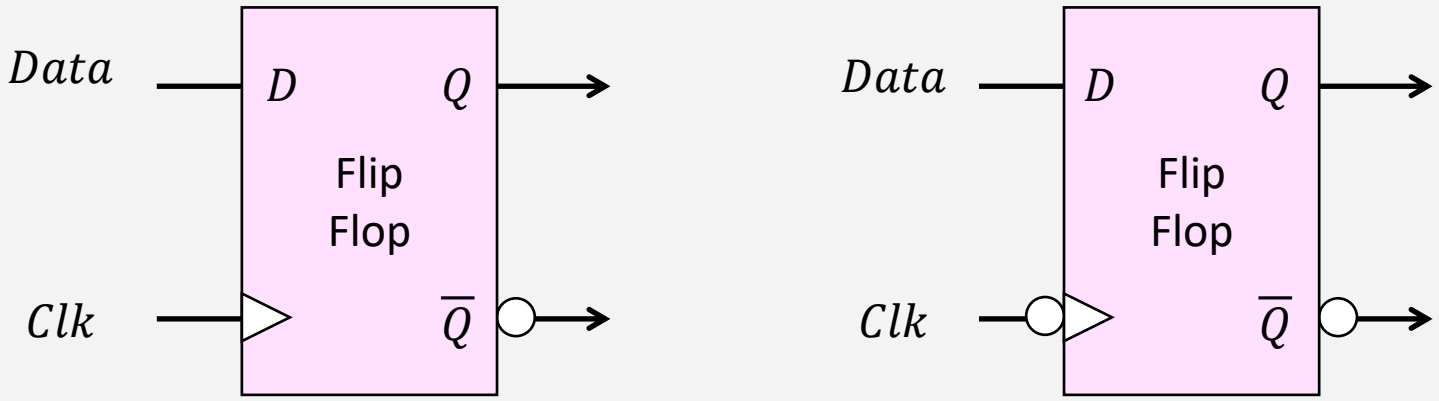
Negative Edge-Triggered D Flip-Flop

- مشابه فلیپ‌فلاپ با حساسیت به لبه مثبت است
- اولین اینورتر در ورودی C مستر حذف شده است
- در هر لحظه فقط یک لچ فعال است
- وقتی Clk=1، لچ مستر فعال است و ورودی D ذخیره می‌شود (لچ اسلیو غیرفعال)
- وقتی Clk=0، لچ اسلیو فعال است و خروجی تولید می‌کند (لچ مستر غیرفعال)



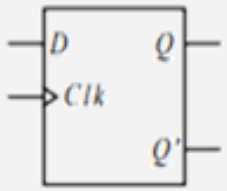
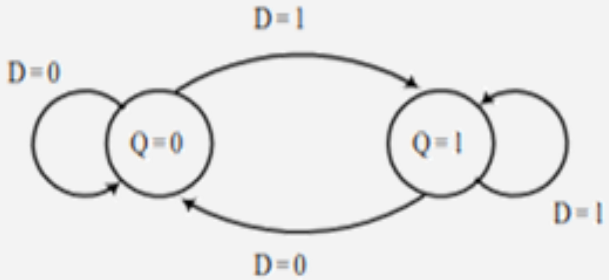
Outputs change when *Clk* changes **from 1 to 0**

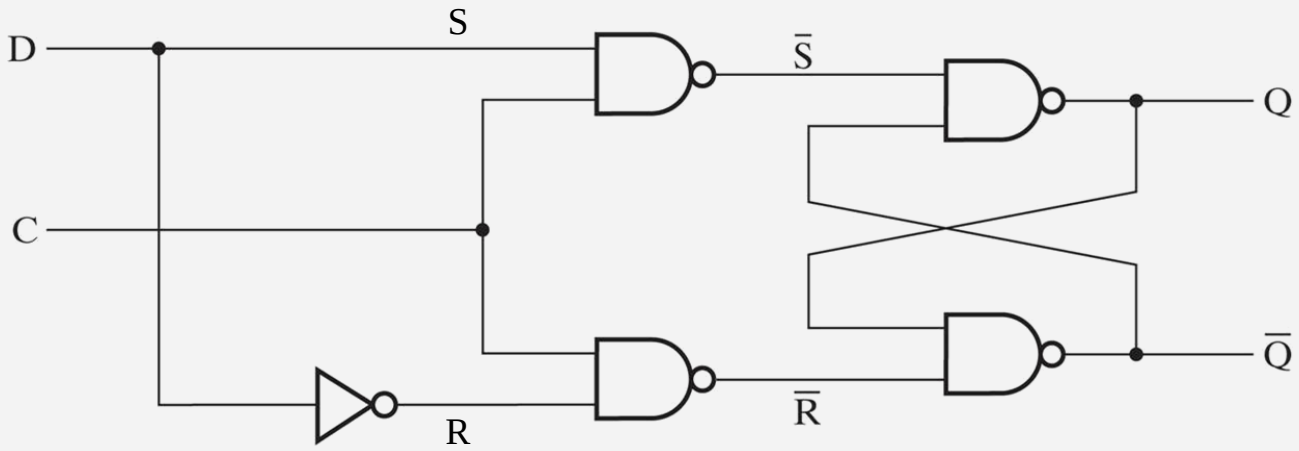
Graphic Symbols for Flip-Flops



- فلیپ‌فلاپ نماد مشابهی با لچ دارد
- تفاوت آن، سر پیکان در ورودی کلاک است
- سر پیکان نشان‌دهنده حساسیت به لبه کلاک است
- دایره‌ای در ورودی کلاک نشان‌دهنده فلیپ‌فلاپ حساس به لبه منفی است

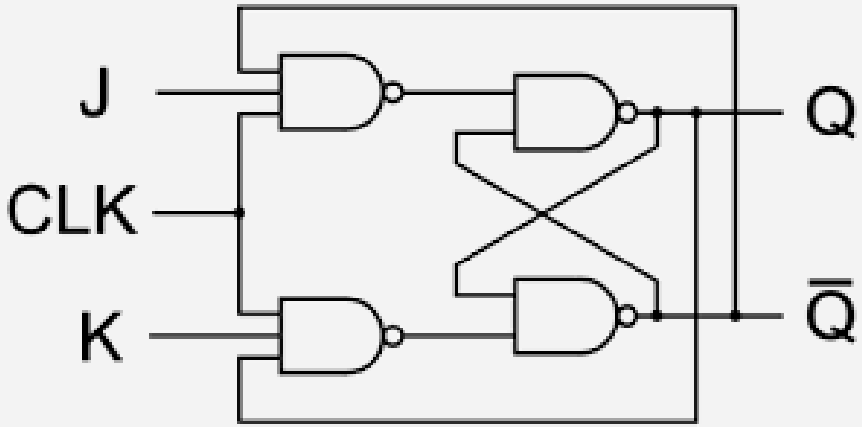
D Flip-Flop

نام / نماد	جدول صحت	دیاگرام حالت / معادله مشخصه	جدول تحریک
D  	D Q Q_{next} 0 × 0 1 × 1	 $Q_{next} = D$	Q Q_{next} D 0 0 0 0 1 1 1 0 0 1 1 1



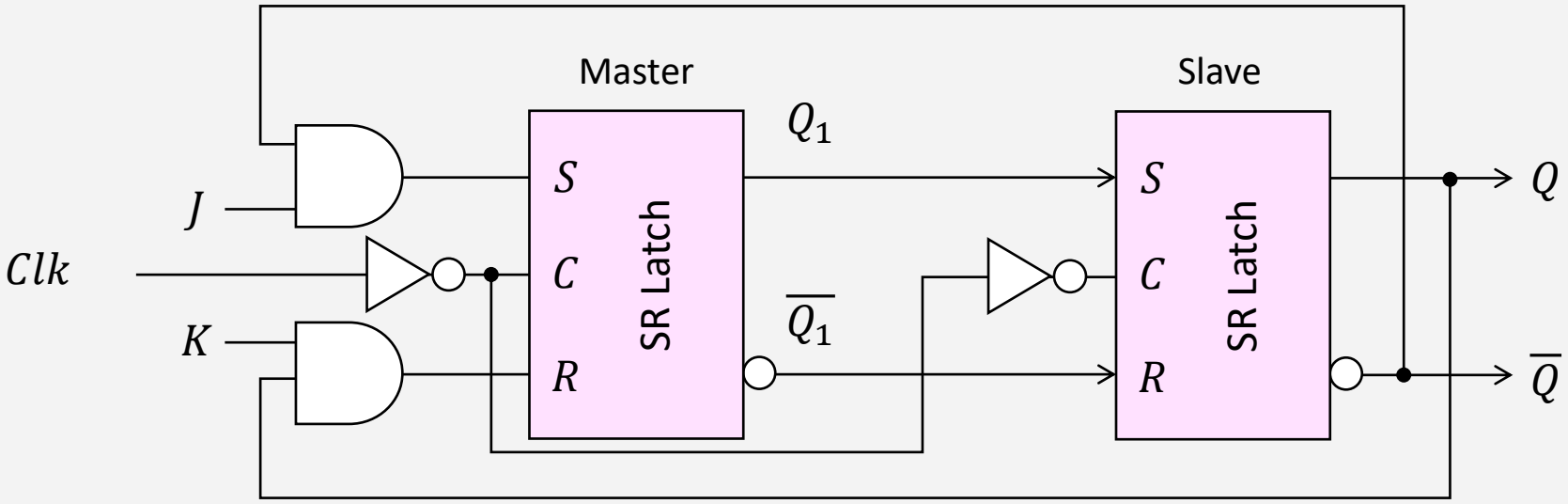
JK Flip-Flop

- نوع دیگری از فلیپ‌فلاپ به نام JK وجود دارد که ورودی‌های J ، K و Clk دارد.
- وقتی JK = 10 باشد، فلیپ‌فلاپ در حالت Set قرار می‌گیرد.
- وقتی JK = 01 باشد، در حالت Reset است.
- وقتی JK = 00 باشد، هیچ تغییری ایجاد نمی‌شود.
- وقتی JK = 11 باشد، خروجی‌ها معکوس می‌شوند.
- اگر در فلیپ فلاپ SR از Q فیدبکی به گیتی که ورودی R دارد و از Q′ به گیتی که ورودی S دارد دهیم، فلیپ فلاپ JK ساخته می شود.
- این مدار در واقع از همان فلیپ‌فلاپ SR با منطق کنترلی بیشتر ساخته شده و یکی از دلایل محبوبیت JK همین انعطاف‌پذیری آن است.

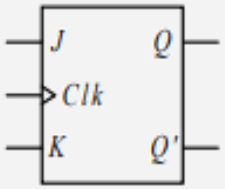
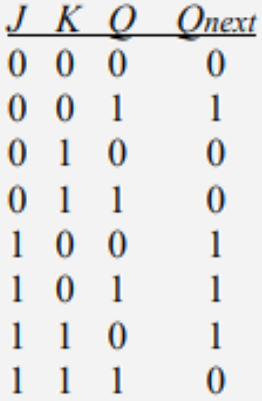
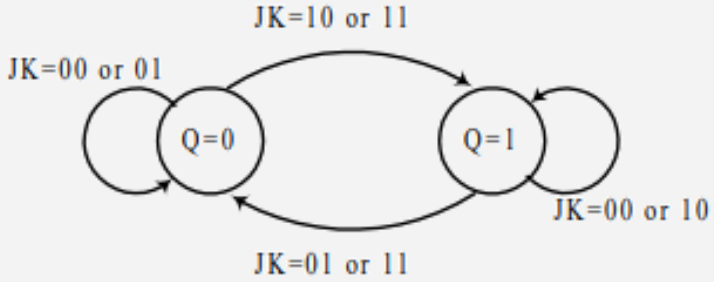
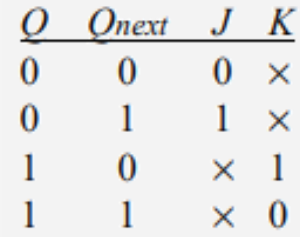


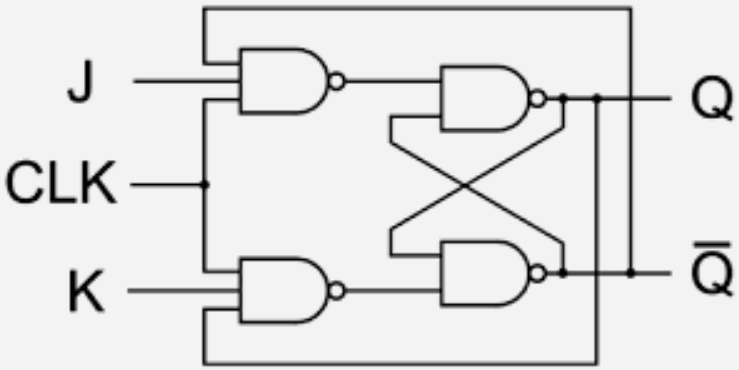
JK Flip-Flop

- فلیپ‌فلاپ JK می‌تواند با دو لچ SR کلاک‌دار و گیت‌ها پیاده‌سازی شود.



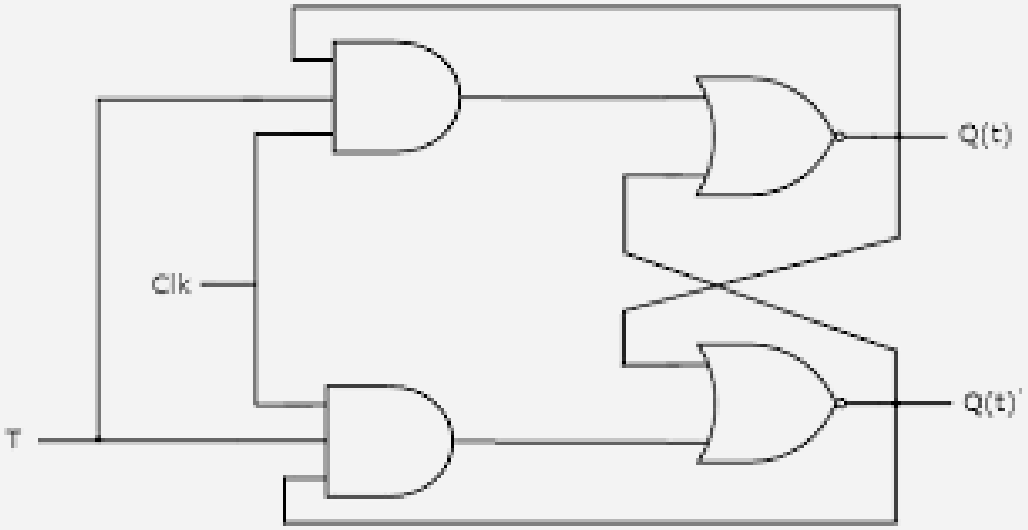
JK Flip-Flop

نام / نماد	جدول صحت	دیاگرام حالت / معادله مشخصه	جدول تحریک
JK  	 	 $Q_{next} = J'K'Q + JK' + JKQ'$ $= J'K'Q + JK'Q + JK'Q' + JKQ'$ $= K'Q(J'+J) + JQ'(K'+K)$ $= K'Q + JQ'$	



T Flip-Flop

- فلیپ‌فلاپ T (Toggle) دارای دو ورودی است: **T** و **Clk**
- زمانی که **T = 0** باشد ← خروجی بدون تغییر باقی می‌ماند.
- زمانی که **T = 1** باشد ← خروجی معکوس می‌شود.
- **پیاده‌سازی فلیپ‌فلاپ T:**
  - کافی است ورودی‌های **J** و **K** را به مقدار **T** متصل کنیم.

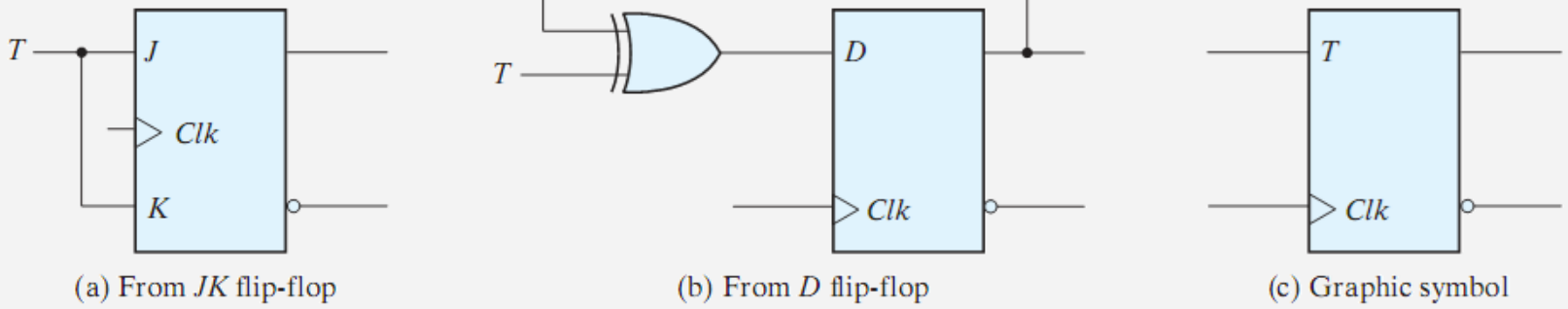


T Flip-Flop

- **پیاده‌سازی فلیپ‌فلاپ T:**

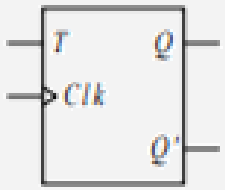
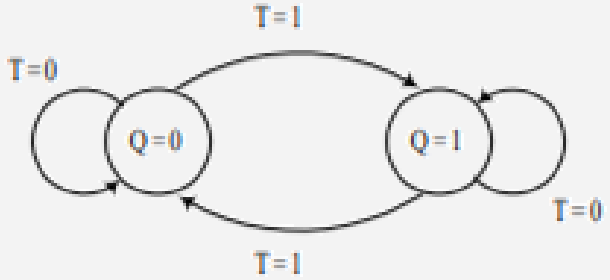
با استفاده از فلیپ‌فلاپ D و گیت XOR:

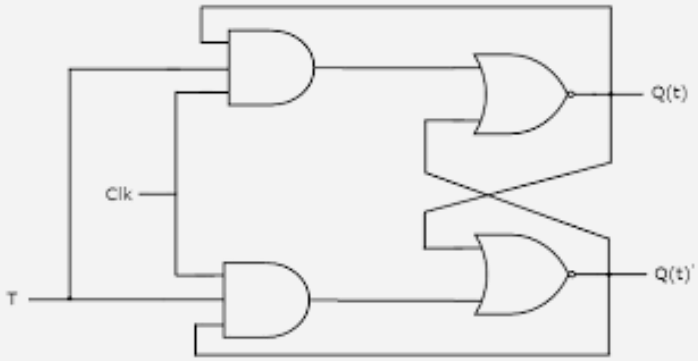
- ✓ خروجی فعلی Q را با ورودی T از طریق XOR ترکیب کرده و به ورودی D بدهیم.
- ✓ یعنی: $D = Q \oplus T$



(a) From *JK* flip-flop (b) From *D* flip-flop (c) Graphic symbol

T Flip-Flop

نام / نماد	جدول صحت	دیاگرام حالت / معادله مشخصه	جدول تحریک
T  	T Q Q_{next} 0 0 0 0 1 1 1 0 1 1 1 0	 $Q_{next} = TQ' + T'Q = T \oplus Q$	Q Q_{next} T 0 0 0 0 1 1 1 0 1 1 1 0



Flip-Flop Characteristic Table

عملکرد یک فلیپ‌فلاپ را می‌توان به‌صورت جدولی تعریف کرد که **وضعیت بعدی** را بر اساس **وضعیت فعلی** و **ورودی‌ها** نشان می‌دهد.

- Q(t) : نمایانگر وضعیت فعلی فلیپ‌فلاپ است، یعنی مقدار خروجی قبل از رسیدن لبه کلاک
- Q(t+1) : نمایانگر وضعیت بعدی فلیپ‌فلاپ است، یعنی مقدار خروجی بعد از لبه کلاک (تغییر در لبه فعال)

- در این جدول که معمولاً به آن **جدول مشخصه** گفته می‌شود، نحوه واکنش فلیپ‌فلاپ به ترکیب‌های مختلف ورودی‌ها و وضعیت فعلی مشخص می‌شود.
- برای هر نوع فلیپ‌فلاپ (مانند D، JK، T)، این جدول متفاوت است.

D Flip-Flop

D	$Q(t+1)$	
0	0	Reset
1	1	Set

JK Flip-Flop

J	K	$Q(t+1)$	
0	0	Q(t)	No change
0	1	0	Reset
1	0	1	Set
1	1	Q'(t)	Complement

T Flip-Flop

T	$Q(t+1)$	
0	Q(t)	No change
1	Q'(t)	Complement

Flip-Flop Characteristic Equation

- **معادله مشخصه** عملکرد یک فلیپ‌فلاپ را به صورت یک رابطه ریاضی بیان می‌کند.

- For D Flip-Flop: $Q(t+1) = D$
- For JK Flip-Flop: $Q(t+1) = J\,Q'(t) + K'\,Q(t)$
- For T Flip-Flop: $Q(t+1) = T \oplus Q(t)$

D Flip-Flop

D	$Q(t+1)$	
0	0	Reset
1	1	Set

JK Flip-Flop

J	K	$Q(t+1)$	
0	0	Q(t)	No change
0	1	0	Reset
1	0	1	Set
1	1	Q'(t)	Complement

T Flip-Flop

T	$Q(t+1)$	
0	Q(t)	No change
1	Q'(t)	Complement

خلاصه

- در یک مدار ترتیبی، حافظه داخلی وجود دارد.
  خروجی مدار، تابعی از **ورودی‌های جاری** و **وضعیت فعلی** است.
  مقدار ذخیره‌شده در حافظه، وضعیت فعلی را تعریف می‌کند.
  به‌صورت مشابه، **وضعیت بعدی** نیز به ورودی‌های فعلی و وضعیت فعلی بستگی دارد.
- دو نوع مدار ترتیبی داریم:
  - **مدارهای ترتیبی همزمان:**
    با **سیگنال ساعت** کار می‌کنند و پیاده‌سازی آن‌ها ساده‌تر است.
  - **مدارهای ترتیبی غیرهمزمان:**
    فاقد سیگنال ساعت هستند.
- دو نوع عنصر حافظه در این مدارها استفاده می‌شود:
  - **لچ‌ها:** به سطح سیگنال ساعت حساس‌اند.
  - **فلیپ‌فلاپ‌ها:** به **لبه سیگنال ساعت** حساس‌اند.
- فلیپ‌فلاپ‌ها حافظه‌های مناسب‌تری برای مدارهای همزمان هستند.
- هر فلیپ‌فلاپ با استفاده از یک **جدول مشخصه**، یک **معادله مشخصه**، **یک دیاگرام حالت**، **جدول تحریک** قابل توصیف می‌باشد.

razeghizade@gmail.com

Razeghizade.pudica.ir

CREADITS: This presentation was created by M.Razeghizadeh
Please keep this slide for attribution